

CONDUCTIVITY MODULATION TYPE MOSFET

Patent Number: **JP63224260**

Publication date: **1988-09-19**

Inventor(s): **ITO HIROYASU; others: 02**

Applicant(s):: **NIPPON DENSO CO LTD**

Requested Patent: **JP63224260**

Application Number: **JP19870057764 19870312**

Priority Number(s):

IPC Classification: **H01L29/78 ; H01L29/68**

EC Classification:

Equivalents: **JP2590863B2**

Abstract

PURPOSE: To reduce voltage drop and prevent latchup, by applying a longitudinal structure to a source region and a channel region:

CONSTITUTION: Two kinds of trenches are formed on the surface of a conductivity modulation type MOSFET which has a second conductivity type semiconductor layer 12 of low impurity concentration, a first conductivity type base layer 13 and a second conductivity type source layer 14 on a first conductivity type substrate 11. A gate electrode 18 is buried in one trench 15 via an insulator 17, and a source electrode 19 is buried in the other trench 16. The gate electrode 18, the gate insulator 17, a channel region 25 and the source electrode 19 are formed in the direction perpendicular to the surface. Therefore, a positive hole current by conductivity modulation flows linearly between the gate electrode 18 and the source electrode 19 formed in the direction perpendicular to the surface, so that the voltage drop can be reduced.

Data supplied from the esp@cenet database - I2

(10) 日本国特許庁 (JP) (12) 特許公報 (B2) (11) 特許事務所

第2590863号

(65) 発行日 平成9年(1997)3月12日 (24) 登録日 平成8年(1996)12月19日

(51) 特許番号 H01L 29/764 請求記号 P1 905-AM H01L 29/76 665A 登録表示所

発明の範囲(8頁)

(21) 出願番号 特願96-57764	(72) 特許権者 889883599 日本電気株式会社
(22) 出願日 昭和62年(1987)3月12日	(72) 登録者 伊藤 泰彦
(65) 公開番号 特開昭62-224280	登録記録番号 1丁目1番地 日本電気株式会社社内
(45) 公開日 昭和62年(1987)9月19日	戸籍 登記に 対応市陽和町1丁目1番地 日本電気株式会社社内
(72) 発明者 今井洋一	(72) 発明者 今井洋一

(64) [請求の範囲] 電気変圧器用OSFET

(57) [特許請求の範囲]

【請求項1】 第1導電型の基板と、

前記基板の表面に於ける前記ソース電極の周辺部に、前

記ソース電極を覆つて形成され、前記ソース電極よりも低

不純物濃度の第1導電型の圧電性ソース電極とを備える

ことを特徴とする電気変圧器用OSFET。

【請求項2】 前記第1の導電性ソース電極と、前記ソース電極表面に対して直交する方向に形成されることを特

徴とする特許請求の範囲第1項に記載の導電変圧器用OSF

ETと、

この第1の導電性ソース電極にゲート電極を介して

形成され、この第1の導電性ソース電極よりも低不純物濃度の第1導電型のベース電極と、

このベース電極の上に形成された低不純物濃度の第2導電

型のソース電極と、

前記ソース電極から前記半導体層に達する第1の導電性

ソース電極と、この第1の導電性ソース電極よりも低

不純物濃度の第2導電型の圧電性ソース電極とを備える

ことを特徴とする電気変圧器用OSFET。

【請求項3】 前記ゲート電極は、前記第1の導電性ソ

ソース電極から前記ベース電極とを隔てて

形成されて、この第2の導電性ソース電極に形成されたソース電極

と、前記ベース電極における前記ソース電極の周辺部に形成

され、前記ベース電極よりも低不純物濃度の第1導電型の

込まれた半導体基盤物に電気的に接続されるものである特許請求の範囲第1項と第3項のうちいずれかに記載の電気変圧器用OSFET。

【請求項5】 第1導電型の基板と、

前記基板上に形成された第2導電型の半導体層と、

前記半導体層の上部に形成された低不純物濃度の第1導

電型のベース電極と、

前記ベース電極の上部に形成された高不純物濃度の第2導

電型のソース電極と、

前記ソース電極および前記ソース電極間に接続されたソース電

極とを有し、

前記ソース電極における前記ソース電極と接続する部分

は、前記ベース電極に形成される少數キャリアの移動度を増

加させるように、前記ベース電極よりも低不純物濃度で設

定された第1導電型の高電圧ベース電極からなり、

前記ソース電極における前記ソース電極と接続する部分

は、前記ソース電極に形成される多數キャリアの移動度を低

減するように、前記ソース電極よりも低不純物濃度で設

定された第2導電型の低電圧ソース電極からなることを特徴とする導電変圧器用OSFET。

【請求項6】 第1導電型の基板と、

前記基板上に形成された第2導電型の半導体層と、

前記半導体層の上部に形成された第1導電型のベース電

極と、

前記ベース電極の上部に形成された第2導電型のソース電

極と、

前記ソース電極と前記ソース電極との間に接続され、前記

ソース電極は異質の焼成成分を有し、前記ソース電極に

形成されるキャリアの移動度を抑制させる抵抗回路と

を備えたゲート電極と、

前記ベース電極に接続されたソース電極と、

前記ソース電極と前記ソース電極との間に接続され、前記

ソース電極は異質の焼成成分を有し、前記ソース電極内に

流れれるキャリアの移動度を抑制させる抵抗回路と

を備えたゲート電極と、

前記ベース電極に接続されたソース電極として用いる導電

変圧器用OSFETに関するものである。

(従来の技術)

前記ソース電極と、低オシ電極を隔壁させることができ

る近年、高耐圧と低オシ電極を隔壁させている。この電子部品はDiffusion Self-Alignmentによりソース電極とチャネル

領域を形成し、ドレイン領域にソース電極と逆の導電

領域を形成することにより高耐圧層を形成させ

てオシ電極を下げるようになしたものである。

上記の目的を達成するため、第1導電型の基板と、この基板上に

接続する半導体層から前記半導体層に達する第1の導電

型のソース電極と、

この第1の導電型のソース電極にゲート電極を介して

形成されたゲート電極と、

前記ソース電極から前記ベース電極とを隔てて

形成されて、この第2の導電性ソース電極に形成されたソース電

極と、前記ベース電極における前記ソース電極の周辺部に形成

され、前記ベース電極よりも低不純物濃度の第1導電型の

ソース電極と、前記ソース電極は、前記第1の導電性ソ

ソース電極と、前記ソース電極よりも低不純物濃度の第2導電

型のソース電極とを接続する特許請求の範囲第1項又は第

2項に記載の導電変圧器用OSFET。

【請求項4】 前記ソース電極は、前記ベース電極内に埋め

物密度のO₂濃度2%に同じ値から2倍の不純物を含むしO₂法により)、W₁-型層2の表面にW型ベース層3とW₂-型層4を形成するとともに、チャネル領域5上にゲート電極6を介してゲート電極7を形成し、さらに、W₂-型層4からW₁-型層3を同時にコンタクトするためのソース電極8を形成したものである。そして、電子電流がW₁-型層4からチャネル領域5上を通過するゲート電極7を形成されるとともに、W₁-型層2に注入されるゲート電流は第6図中電流I_Gである。W₁-型層2に注入された正孔電流は第6図中電流I_Dである。W₁-型層2に注入された正孔電流は第6図中電流I_Dである。W₁-型層2に注入された正孔電流は第6図中電流I_Dである。W₁-型層2に注入された正孔電流は第6図中電流I_Dである。これは、ゲート・ソース層の電位差を零とすれば電子はランクオフするが、電子に流れる電流密度が大きくなると前記正孔電流の量は下流部で電圧降下が大きくなる(例えば、V_D≈1V)。そして、W型ベース層3とW₁-型層4の間の結合が弱いアス化されるようになると、サイリスタ動作しゲート・ソース電極8を零にしてお

りドレイン電流が大きくなるために電子サイリスタがランクオフし、ラシチアシフ電流が生じるという問題点があつた。

これは、ゲート・ソース層の電位差を零とすれば電子はランクオフするが、電子に流れる電流密度が大きくなると前記正孔電流の量は下流部で電圧降下が大きくなる(例えば、V_D≈1V)。そして、W型ベース層3とW₁-型層4の間の結合が弱いアス化されるようになると、サイリスタ動作しゲート・ソース電極8を零にしておりの結果が発生してW₁-型層2の電圧降下を小さくする(抵抗を下げる)等の効果が得られる。

この問題点を解決するに備々の検査がされており、例えば、特開昭60-196974号公開にて示されている

ようにソース電極底部に高電圧不純物層を設けることにより同電流差異層9での電圧降下を小さくする(抵抗を下げる)等の効果が得られる。

この効果が発生しないとする問題点。

しかし、上記のような対策ではソース電極の底以下の電

圧降下を小さくすることができるが、正孔電流差異層9の

全範囲で電圧降下を小さくすることはできず、それに

は自ずと限界がある。

又、DS法を使用する限り電子内のユニットの接続とによるユニット数を多くすること(ユニットの高密度化)には限界がある。即ち、DS法による二重化の範囲内にその他の小さなW₁-型層とW₂-型層の接続部における不純物濃度が低くなり正孔電流差異層9における電流が大きくなるためユニットの高密度化を行なう上で限界となつていた。

この発明の目的は、DS法を用いてソース電極の底以下の電

圧降下を小さくするための手段)。近年、高耐圧と低オシ電極を隔壁させている。この電子部品はDiffusion Self-Alignmentによりソース電極とチャネル領域を形成し、ドレイン領域にソース電極と逆の導電

領域を形成することにより高耐圧層を形成させ

てオシ電極を下げるようになしたものである。

この発明の構成

(問題点を解消するための手段)

成された第2導電型の半導体型と、この半導体型の表面に形成された性不純物濃度の第1導電型のベース層と、このベース層の上に形成された性不純物濃度の第2導電型のベース層と、前記ベース層表面から前記半導体型に通じる第1の構が形成されて、この構1の構表面にゲート電極から形成された第2の構が形成され、この構2の構表面に形成された第1の構が形成され、前記ベース層内における前記ソース電極の周辺部に形成され、前記ベース層よりも低不純物濃度の第1導電型の高濃度ベース層と、前記ソース層内における前記ソース電極と、前記ソース電極を覆って形成され、前記ソース層よりも低不純物濃度の第2導電型の低濃度ソース電極とを有することを特徴とする導電変調型MOSFETをその要旨とする。

第2の明細は、第1導電型の基板と、前記基板上に形成された第2導電型の半導体型と、前記半導体型の上部に形成された性不純物濃度の第1導電型のベース層と、前記ベース層の上部に形成された性不純物濃度の第2導電型のソース層と、前記ソース層と、前記ソース層設置、前記ベース層設置および前記半導体型表面に直って形成される絶縁層と、前記ソース層上および前記ソース層間に設置されたソース電極と、前記ソース層における前記ソース電極と接する部分は、前記ベース層内に流れる多量キャリアの移動度を増加させるよう、前記ベース層よりも低不純物濃度に設定された第1導電型の高濃度ベース層からなり、前記ソース層における前記ソース電極と接する部分は、前記ソース層内に流れる多量キャリアの移動度を低減させるよう、前記ソース層よりも低不純物濃度に設定された第2導電型の低濃度ソース層からなることを特徴とする導電変調型MOSFETをその要旨とする。

第3の明細は、第1導電型の基板と、前記基板上に形成された第2導電型の半導体型と、前記半導体型の上部に形成された第1導電型のベース層と、前記ベース層の上部に形成された第2導電型のソース層と、前記ソース層の表面に形成された第2導電型のソース層と、前記ソース層表面に、前記ベース層表面および前記半導体型の表面に直って形成されるゲート絶縁層と、前記ゲート絶縁層を介して形成されたゲート電極と、前記ソース層と、前記ソース層の周間に設置され、前記ソース層とは異質の低抵抗と有し、前記ソース層内に流れるキャリアの移動度を低減させる低抵抗とを有するることを特徴とする導電変調型MOSFETをその要旨としている。

(作用)

上記の第1の明細によれば、ソース層表面からベース層に通る第2の構の構が形成されて、この構2の構表面にソース電極が形成されている。そして、ベース層内におけるソース電極の周辺部には、ベース層よりも低不純物濃度の第1導電型の高濃度ベース層が形成されている。

(ロ) 第5図に示すように、ベース層13の中心に突出する導電部28 (例えば、MOSFET) をエピタキシャル成長させた後に同導電部28を埋め込む。そして、この導電部28とソース電極14との間を接続させる。よって、マソース電極14の直下のベース層13の上方方向の電気抵抗を低減させることにより電圧降下 V_{fb} を小さくし、ラシチアブの発生を防止することができる。

(ハ) 上記各実施例においてはソース電極19とベース層20層13より極く近接してその両辺部には高不純物濃度ベースを設けたが、ソース層6及びソース電極19の下端部をベース層13内までにして実施してもよい。この場合、コントラクト及び耐圧のための高不純物濃度ベース20の形成が不要となる。

(ニ) 上記実施例では第1導電型トト型とし第2導電型セル型としたが逆にして実施してもよい。

発明の効果

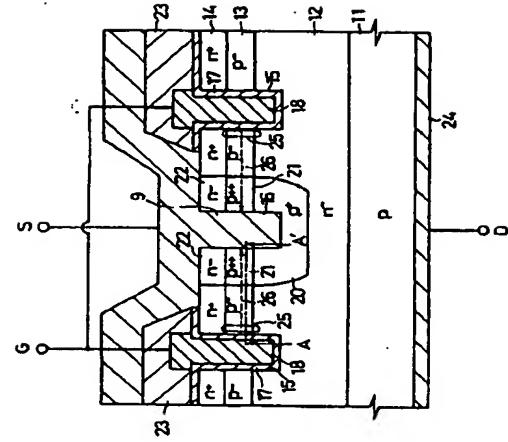
以上詳述したように、この発明はソース層および低濃度ソース領域が直列に接続された領域全体の抵抗の値と、ベース層および高濃度ベース領域が直列に接続され、領域全体の抵抗の値とを近づけることができるため、ソース層及び低濃度ソース領域の電圧と、ベース層および高濃度ベース領域の電圧との電位差を小さくすることができ、ラシチアブ現象の発生を抑制することができる。

【図面の筋書な説明】

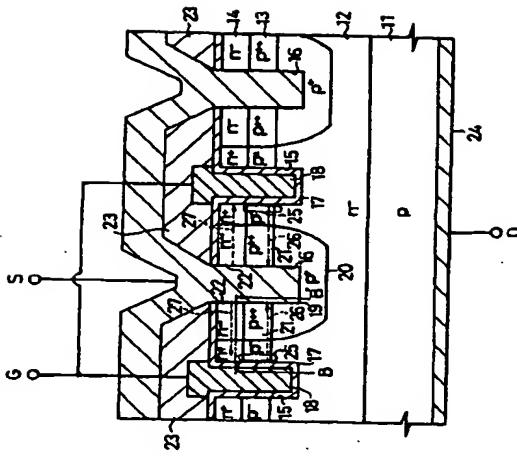
第1図はこの発明を具体化した導電型MOSFETの断面図。第2図は第1図におけるA-A'断面における不純物濃度及び抵抗率を示す図。第3図は別例の導電型MOSFETの断面図。第4図は第3図におけるB-B'断面における不純物濃度及び抵抗率を示す図。第5図は他の断面を示す導電型MOSFETの断面図。第6図は從来の導電型MOSFETの断面図である。

【第1図】

【第1図】

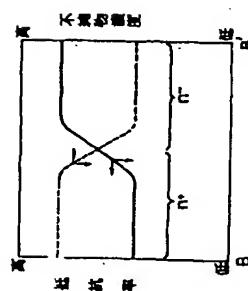


【第2図】



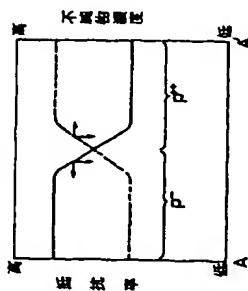
【第3図】

【第3図】

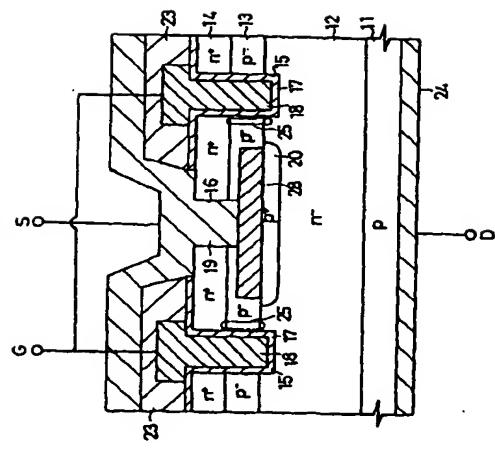


【第4図】

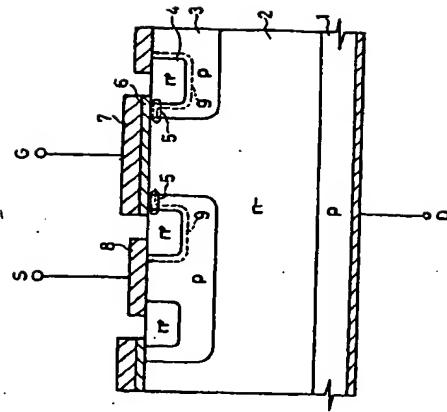
【第4図】



[第5回]



第6章



- 34 -

(66) 参考文献
特例 昭58-137254 (JP, A)
特例 昭57-72365 (JP, A)
特例 昭61-171162 (JP, A)